

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-8408

(43) 公開日 平成8年(1996)1月12日

(51) IntCl.⁸

H 0 1 L 27/10

G 1 1 C 11/22

14/00

識別記号

4 5 1

庁内整理番号

F I

技術表示箇所

G 1 1 C 11/ 34

3 5 2 A

17/ 00

3 0 7 Z

審査請求 未請求 請求項の数14 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願平6-319922

(22) 出願日 平成6年(1994)12月22日

(31) 優先権主張番号 特願平6-3796

(32) 優先日 平6(1994)1月18日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平6-3797

(32) 優先日 平6(1994)1月18日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平6-81481

(32) 優先日 平6(1994)4月20日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 西村 清

京都府京都市右京区西院溝崎町21番地 □

ローム株式会社内

(72) 発明者 林 秀紀

京都府京都市右京区西院溝崎町21番地 □

ローム株式会社内

(72) 発明者 村本 淳

京都府京都市右京区西院溝崎町21番地 □

ローム株式会社内

(74) 代理人 弁理士 古谷 榮男 (外2名)

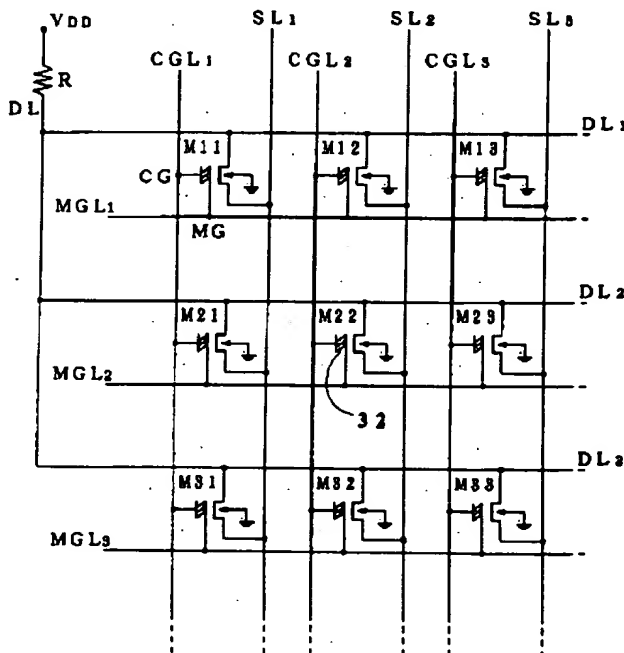
最終頁に続く

(54) 【発明の名称】 不揮発性メモリ

(57) 【要約】

【目的】 簡易な構成で、非破壊読み出しを行うことのできる不揮発性メモリを提供することを目的とする。

【構成】 書き込み時には、コントロールゲートCGとメモリゲートMGとの間に電圧を印加する。その印加方向により、強誘電体層32の分極方向が異なる。強誘電体層32がコントロールゲートCG側を正極として分極している場合には、チャネルを形成するためのコントロールゲート電圧 V_{CG} は小さくなる(第2の状態に分極)。強誘電体層32がコントロールゲートCG側を負極として分極している場合には、チャネルを形成するためのコントロールゲート電圧 V_{CG} は大きくなる(第1の状態に分極)。読み出し時には、コントロールゲートCGに、基準電圧 V_{ref} を印加する。強誘電体層32が第2の状態に分極している場合には、大きなドレイン電流が流れ、強誘電体層32が第1の状態に分極している場合には、小さなドレイン電流しか流れない。このドレイン電流を検出することにより、読み出しを行なうことができる。また、この際、強誘電体層32の記憶内容は破壊されない。



1

【特許請求の範囲】

【請求項1】第1導電型のソース領域およびドレイン領域、

ソース領域とドレイン領域との間に形成された第2導電型のチャンネル領域、

チャンネル領域の上に、チャンネル領域と絶縁して形成された導電体層であるメモリゲート、

下部導電体層の上に形成された強誘電体層、

強誘電体層の上に形成された導電体層であるコントロールゲート、

を備えた不揮発性メモリ素子をマトリクス状に接続した不揮発性メモリであって、

各列の同一行の不揮発性メモリ素子のドレイン領域を接続するドレインライン、

各列のドレインラインを互いに接続する統合ドレインライン、

各列の同一行の不揮発性メモリ素子のメモリゲートを接続するメモリゲートライン、

各行の同一列の不揮発性メモリ素子のソース領域を接続するソースライン、

各行の同一列の不揮発性メモリ素子のコントロールゲートを接続するコントロールゲートライン、

を備えた不揮発性メモリ。

【請求項2】請求項1の不揮発性メモリにおいて、

各ドレインラインごとに設けられ、各ドレインラインを統合ドレインラインを介してドレイン電流検出手段に接続するか否かのスイッチングをするドレインスイッチング手段を設け、

対象となる不揮発性メモリ素子の接続されたドレインラインに設けられたドレインスイッチング手段をオンにし、他のドレインスイッチング手段をオフとするように構成したことを特徴とするもの。

【請求項3】請求項1の不揮発性メモリにおいて、さらに各ドレインラインごとに設けられ、各ドレインラインをドレイン電流検出手段に接続するか否かのスイッチングをするドレインスイッチング手段、

各メモリゲートラインごとに設けられ、書き込みのためのHレベルの電圧またはLレベルの電圧を印加するか否かのスイッチングをするメモリゲートスイッチング手段、

各ソースラインごとに設けられ、各ソースラインを接地電圧に接続するか否か、または基準電圧に接続するか否かのスイッチングをするソーススイッチング手段、

各コントロールゲートラインごとに設けられ、各コントロールゲートラインに基準電圧を印加するか否かのスイッチングをするコントロールゲートスイッチング手段、を備えたもの。

【請求項4】請求項3の不揮発性メモリにおいて、前記メモリゲートスイッチング手段は、さらに、各メモリゲートラインに基準電圧を印加するか否かのスイッチング

2

を行なうものであることを特徴とするもの。

【請求項5】請求項3または請求項4の不揮発性メモリにおいて、

不揮発性メモリ素子の各行に対応して設けられ、第1の選択入力を受けて、前記ドレインスイッチング手段をオン・オフさせるとともに、第1の選択入力をメモリゲートスイッチング手段のオン・オフの少なくとも一条件として用いる第1の選択手段、

不揮発性メモリ素子の各列に対応して設けられ、第2の選択入力を受けて、前記ソーススイッチング手段およびコントロールゲートスイッチング手段をオン・オフさせる第2の選択手段、を備えたもの。

【請求項6】請求項3、請求項4または請求項5の不揮発性メモリにおいて、

何れの行に対しても選択入力が与えられていない場合には、全てのコントロールゲートスイッチング手段をオンにして、基準電圧を与えるようにしたことを特徴とするもの。

【請求項7】請求項1、2、3、4、5または6の不揮発性メモリにおいて、

各行の同一列の不揮発性メモリ素子のコントロールゲートは、コントロールゲート保護スイッチング手段を介して、コントロールゲートラインに接続されていることを特徴とするもの。

【請求項8】請求項7の不揮発性メモリにおいて、

対象となる不揮発性メモリ素子の属する列のコントロールゲート保護スイッチング手段をオンとし、対象となる不揮発性メモリ素子の属する列以外の列のコントロールゲート保護スイッチング手段をオフとして、読み出しおよび書き込み動作を行うことを特徴とするもの。

【請求項9】請求項1、2、3、4、5、6または7の不揮発性メモリにおいて、

各列の同一行の不揮発性メモリ素子のメモリゲートは、メモリゲート保護スイッチング手段を介して、メモリゲートラインに接続されていることを特徴とするもの。

【請求項10】請求項9の不揮発性メモリにおいて、

対象となる不揮発性メモリ素子の属する列のメモリゲート保護スイッチング手段をオンとし、対象となる不揮発性メモリ素子の属する列以外の列のメモリゲート保護スイッチング手段をオフとして書き込み動作を行うとともに、対象となる不揮発性メモリ素子の属する列のメモリゲート保護スイッチング手段をオフとし、対象となる不揮発性メモリ素子の属する列以外の列のメモリゲート保護スイッチング手段をオンとして読み出し動作を行うことを特徴とするもの。

【請求項11】請求項1の不揮発性メモリに情報を書き込む方法であって、

対象となる不揮発性メモリ素子が接続されたコントロールゲートラインに、ゼロよりも大きく、設定最大ドレイン

ン電流に対応する電圧よりも小さい基準電圧を印加し、他のコントロールゲートラインはフローティング状態とし、

対象となっていない不揮発性メモリ素子が接続されたメモリゲートラインに、基準電圧を印加するとともに、対象となる不揮発性メモリ素子が接続されたメモリゲートラインに、前記基準電圧よりも大きいHレベルの電圧を印加して、対象となる不揮発性メモリ素子の強誘電体層を第1の状態に分極させるか、または前記基準電圧よりも小さいLレベルの電圧を印加して前記強誘電体層を第2の状態に分極させることにより、情報の書き込みを行うことを特徴とする書き込み方法。

【請求項12】請求項1の不揮発性メモリに書き込まれた情報を読み出す方法であって、

前記不揮発性メモリ素子の強誘電体層が第1の状態に分極している場合に第1のドレイン電流を生じ、第2の状態に分極している場合に第2のドレイン電流を生じ、分極していない場合に第1のドレイン電流と第2のドレイン電流との間で設定最大ドレイン電流より十分小さい値の基準電流を生じるような基準電圧を、対象となる不揮発性メモリ素子が接続されたコントロールゲートラインに印加し、他のコントロールゲートラインはフローティング状態とし、

対象となる不揮発性メモリ素子が接続されたメモリゲートラインはフローティング状態とし、他のメモリゲートラインに基準電圧を印加し、

ドレインラインに流し得る電流が、前記基準電流よりも小さいか大きいかを判定して、書き込まれた情報を非破壊的に読み出すこと、

を特徴とする読み出し方法。

【請求項13】請求項1の不揮発性メモリのスタンバイ方法であって、

コントロールゲートラインの全ておよびメモリゲートラインの全てに基準電圧を印加するスタンバイ方法。

【請求項14】書き込み時には請求項11の書き込み方法を用い、読み出し時には請求項12の読み出し方法を用い、スタンバイ時には請求項13のスタンバイ方法を用いる請求項1の不揮発性メモリの動作方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は不揮発性メモリに関するものである。

【0002】

【従来の技術】強誘電体を用いた不揮発性メモリが近年注目を集め、その構造や回路構成が種々提案されている。図32に、米国特許公報4,888,733号に開示された、不揮発性メモリセルの構成を示す。強誘電体キャパシタ2の両側には、トランジスタ18,20が接続されている。トランジスタ18,20のゲートは、ワードライン8に接続されている。また、トランジスタ1

8のソースはビットライン14に接続され、トランジスタ20のソースはビットライン16に接続されている。

【0003】トランジスタ18,20を導通させるとともに、ビットライン14,16間に電圧を印加すると、強誘電体キャパシタ2が分極する。その後、ビットライン14,16間の電圧印加を止めても、分極状態は保持される。印加する電圧の極性を逆にすることにより、分極の極性を逆にすることができる。これにより、情報を不揮発的に記憶することができる。

10 【0004】記憶された情報を読み出す場合には、強誘電体キャパシタ2に電圧を印加し、分極状態が反転するかどうかによって、記憶された分極の状態を知ることができる。なお、読み出しによって記憶内容が破壊されるので、読み出しの直後に再書込を行うようにしている。

【0005】また、強誘電体キャパシタを用いた不揮発性メモリとして、2つのキャパシタと2つのトランジスタとによって1セルを構成したものも提案されている(米国特許公報第4,873,664号)。

【0006】

20 【発明が解決しようとする課題】しかしながら、上記のような従来の不揮発性メモリには、次のような問題点があった。

【0007】第一に、米国特許公報4,888,733号に示されたものでは、1つのセル当たり、強誘電体キャパシタの他に2つのトランジスタが必要であり、構成が複雑であった。同様に、米国特許公報第4,873,664号に示されたものでは、1つのセル当たり、2つの強誘電体キャパシタと2つのトランジスタが必要であり、構成が複雑であった第二に、読出時に記憶内容を破壊してしまうので、再書込が必要であり、制御が複雑となっていた。

【0008】この発明は上記のような問題点を解決して、簡易な構成で、非破壊読み出しを行うことのできる不揮発性メモリを提供することを目的とする。

【0009】

【課題を解決するための手段】請求項1の不揮発性メモリは、第1導電型のソース領域およびドレイン領域、ソース領域とドレイン領域との間に形成された第2導電型のチャネル領域、チャネル領域の上に、チャネル領域と絶縁して形成された導電体層であるメモリゲート、下部導電体層の上に形成された強誘電体層、強誘電体層の上に形成された導電体層であるコントロールゲート、を備えた不揮発性メモリ素子をマトリクス状に接続した不揮発性メモリであって、各列の同一行の不揮発性メモリ素子のドレイン領域を接続するドレインライン、各列のドレインラインを互いに接続する統合ドレインライン、各列の同一行の不揮発性メモリ素子のメモリゲートを接続するメモリゲートライン、各行の同一列の不揮発性メモリ素子のソース領域を接続するソースライン、各行の同一列の不揮発性メモリ素子のコントロールゲートを接続

5

するコントロールゲートライン、を備えている。

【0010】請求項2の不揮発性メモリは、請求項1の不揮発性メモリにおいて、各ドレインラインごとに設けられ、各ドレインラインを統合ドレインラインを介してドレイン電流検出手段に接続するか否かのスイッチングをするドレインスイッチング手段を設け、対象となる不揮発性メモリ素子の接続されたドレインラインに設けられたドレインスイッチング手段をオンにし、他のドレインスイッチング手段をオフとするように構成したことを特徴としている。

【0011】請求項3の不揮発性メモリは、請求項1の不揮発性メモリにおいて、さらに各ドレインラインごとに設けられ、各ドレインラインをドレイン電流検出手段に接続するか否かのスイッチングをするドレインスイッチング手段、各メモリゲートラインごとに設けられ、書き込みのためのHレベルの電圧またはLレベルの電圧を印加するか否かのスイッチングをするメモリゲートスイッチング手段、各ソースラインごとに設けられ、各ソースラインを接地電圧に接続するか否か、または基準電圧に接続するか否かのスイッチングをするソーススイッチング手段、各コントロールゲートラインごとに設けられ、各コントロールゲートラインに基準電圧を印加するか否かのスイッチングをするコントロールゲートスイッチング手段、を備えている。

【0012】請求項4の不揮発性メモリは、請求項3の不揮発性メモリにおいて、前記メモリゲートスイッチング手段は、さらに、各メモリゲートラインに基準電圧を印加するか否かのスイッチングを行なうものであることを特徴としている。

【0013】請求項5の不揮発性メモリは、請求項3または4の不揮発性メモリにおいて、不揮発性メモリ素子の各行に対応して設けられ、第1の選択入力を受けて、前記ドレインスイッチング手段およびメモリゲートスイッチング手段をオン・オフさせる第1の選択手段、不揮発性メモリ素子の各列に対応して設けられ、第2の選択入力を受けて、前記ソーススイッチング手段およびコントロールゲートスイッチング手段をオン・オフさせる第2の選択手段、を備えたことを特徴としている。

【0014】請求項6の不揮発性メモリは、請求項3、4または5の不揮発性メモリにおいて、何れの行に対しても選択入力を与えられていない場合には、全てのコントロールゲートスイッチング手段をオンにして、基準電圧を与えるようにしたことを特徴としている。

【0015】請求項7の不揮発性メモリは、請求項1、2、3、4、5または6の不揮発性メモリにおいて、各行の同一列の不揮発性メモリ素子のコントロールゲートは、コントロールゲート保護スイッチング手段を介して、コントロールゲートラインに接続されていることを特徴としている。

【0016】請求項8の不揮発性メモリは、請求項7の

6

不揮発性メモリにおいて、対象となる不揮発性メモリ素子の属する列のコントロールゲート保護スイッチング手段をオンとし、対象となる不揮発性メモリ素子の属する列以外の列のコントロールゲート保護スイッチング手段をオフとして、読み出しおよび書き込み動作を行うことを特徴としている。

【0017】請求項9の不揮発性メモリは、請求項1、2、3、4、5、6または7の不揮発性メモリにおいて、各列の同一行の不揮発性メモリ素子のメモリゲートは、メモリゲート保護スイッチング手段を介して、メモリゲートラインに接続されていることを特徴としている。

【0018】請求項10の不揮発性メモリは、請求項9の不揮発性メモリにおいて、対象となる不揮発性メモリ素子の属する列のメモリゲート保護スイッチング手段をオンとし、対象となる不揮発性メモリ素子の属する列以外の列のメモリゲート保護スイッチング手段をオフとして書き込み動作を行うとともに、対象となる不揮発性メモリ素子の属する列のメモリゲート保護スイッチング手段をオフとし、対象となる不揮発性メモリ素子の属する列以外の列のメモリゲート保護スイッチング手段をオンとして読み出し動作を行うことを特徴としている。

【0019】請求項11の書き込み方法は、対象となる不揮発性メモリ素子が接続されたコントロールゲートラインに、ゼロよりも大きく、設定最大ドレイン電流に対応する電圧よりも小さい基準電圧を印加し、他のコントロールゲートラインはフローティング状態とし、対象となっていない不揮発性メモリ素子が接続されたメモリゲートラインに、基準電圧を印加するとともに、対象となる不揮発性メモリ素子が接続されたメモリゲートラインに、前記基準電圧よりも大きいHレベルの電圧を印加して、対象となる不揮発性メモリ素子の強誘電体層を第1の状態に分極させるか、または前記基準電圧よりも小さいLレベルの電圧を印加して前記強誘電体層を第2の状態に分極させることにより、情報の書き込みを行うことを特徴としている。

【0020】請求項12の読み出し方法は、前記不揮発性メモリ素子の強誘電体層が第1の状態に分極している場合に第1のドレイン電流を生じ、第2の状態に分極している場合に第2のドレイン電流を生じ、分極していない場合に第1のドレイン電流と第2のドレイン電流との間であって設定最大ドレイン電流より十分小さい値の基準電流を生じるような基準電圧を、対象となる不揮発性メモリ素子が接続されたコントロールゲートラインに印加し、他のコントロールゲートラインはフローティング状態とし、対象となる不揮発性メモリ素子が接続されたメモリゲートラインはフローティング状態とし、他のメモリゲートラインに基準電圧を印加し、ドレインラインに流し得る電流が、前記基準電流よりも小さいか大きいかを判定して、書き込まれた情報を非破壊的に読み出す

ことを特徴としている。

【0021】請求項13のスタンバイ方法は、コントロールゲートラインの全ておよびメモリゲートラインの全てに基準電圧を印加することを特徴としている。

【0022】請求項14の動作方法は、書き込み時には請求項11の書き込み方法を用い、読み出し時には請求項12の読み出し方法を用い、スタンバイ時には請求項13のスタンバイ方法を用いることを特徴としている。

【0023】

【作用および発明の効果】請求項1の不揮発性メモリは、強誘電体層の両側にコントロールゲートおよびメモリゲートを設けている。さらに、同一列の素子のコントロールゲートをコントロールゲートラインによって接続し、同一行の素子のメモリゲートをメモリゲートラインによって接続している。したがって、各列のコントロールゲートラインおよび各行のメモリゲートラインに印加する電圧を選択して、所望の素子に対する書き込み、読み出しを行うことができる。

【0024】請求項2の不揮発性メモリは、同一行の素子のドレインを接続するドレインラインを、ドレインスイッチング手段を介して、ドレイン電流検出手段に接続された統合ドレインラインに接続している。したがって、読み出し動作の際に、対象となるドレインライン以外のドレインラインの電流による影響を排除することができ、正確な読み出しを行うことができる。

【0025】請求項3、4の不揮発性メモリは、各ドレインラインごとにドレインスイッチング手段と、各メモリゲートラインごとにメモリゲートスイッチング手段と、各ソースラインごとにソーススイッチング手段と、各コントロールゲートラインごとにコントロールゲートスイッチング手段とを備えている。したがって、これらのスイッチング素子を制御して、対象とする素子を選択して、書き込み、読み出しを行うことができる。

【0026】請求項5の不揮発性メモリは、各行ごとに第1の選択手段を備えており、各列ごとに第2の選択手段を備えている。したがって、対象とする素子の属する、行および列に対応する選択手段に選択入力を与えることにより、対象とする素子を選択して、書き込み、読み出しを行うことができる。

【0027】請求項6の不揮発性メモリは、何れの行に対しても選択入力を与えられていない場合には、全てのコントロールゲートスイッチング手段をオンにして、基準電圧を与えるようにしたことを特徴としている。したがって、書き込み、読み出しが行われていない際に、強誘電体層の両端に不測の電圧が印加されることがなく、記録内容が変化してしまうおそれがない。

【0028】請求項7、請求項8の不揮発性メモリは、各行の同一列の不揮発性メモリ素子のコントロールゲートは、コントロールゲート保護スイッチング手段を介して、コントロールゲートラインに接続されていることを

特徴としている。したがって、対象となる素子の属する列以外の列のコントロールゲート保護スイッチング手段をオフにして、対象となる素子以外の素子に対する、電圧のまわりこみを防止することができる。すなわち、対象となる素子以外の素子に対する、誤書き込み、誤消去を防止することができる。

【0029】請求項9、請求項10の不揮発性メモリは、各列の同一行の不揮発性メモリ素子のメモリゲートは、メモリゲート保護スイッチング手段を介して、メモリゲートラインに接続されていることを特徴としている。したがって、対象となる素子の属する列以外の列のメモリゲート保護スイッチング手段をオフにして、対象となる素子以外の素子に対する、電圧のまわりこみを防止することができる。すなわち、対象となる素子以外の素子に対する、誤書き込み、誤消去を防止することができる。また、対象となっていない素子の強誘電体層の一方側に対しても、書き込み電圧の印加がなく、誤書き込み、誤消去等を防止することができる。

【0030】請求項11の書き込み方法および請求項14の動作方法は、対象となる素子のみに対し、メモリゲートにHまたはLの電圧を印加し、かつコントロールゲートに基準電圧を印加するようにしている。したがって、対象となっていない素子に対して影響を与えず、対象となる素子に対してのみ書き込みを行うことができる。

【0031】請求項12の読み出し方法および請求項14の動作方法は、対象となる素子のみに対し、コントロールゲートに基準電圧を印加し、かつメモリゲートをフローティング状態としている。したがって、対象となっていない素子に対して影響を与えず、対象となる素子からの読み出しを行うことができる。

【0032】請求項13のスタンバイ方法および請求項14の動作方法は、コントロールゲートラインの全ておよびメモリゲートラインの全てに基準電圧を印加することを特徴としている。したがって、スタンバイ状態において、各素子の書き込み内容が変化するおそれがない。

【0033】

【実施例】図2に、この発明の一実施例による不揮発性メモリ素子Mの構造を示す。P型シリコン基板20に、N型ソース領域22とN型ドレイン領域24が形成されている。P型チャネル領域26の上には、酸化シリコン(SiO₂)や窒化シリコン(SiN)等による絶縁層28が設けられている。絶縁層28の上には白金等による下部導電体層30が設けられている。その上にはPZT等の強誘電体層32が設けられ、さらにその上には白金等による上部導電体層34が設けられている。なお、下部導電体層30、上部導電体層34としては上記白金の他に、RuO_x、IrO_x、ITO等の酸化物導電体や、Pb、Au、Ag、Al、Ni等の金属を用いることができる。また、シリコン基板20をN型、ソース領域、ドレイン領域をP型としてもよい。

【0034】図2の不揮発性メモリ素子Mを記号で表すと、図3のようになる。上部導電体層34にはコントロールゲート電極CGが接続され、下部導電体層30にはメモリゲート電極MGが接続され、ソース領域22にはソース電極Sが接続され、ドレイン領域24にはドレイン電極Dが接続されている。

【0035】この不揮発性メモリ素子Mに情報を記録する場合には、コントロールゲート電極CGとメモリゲート電極MGとの間に、電圧を印加する。これにより、強誘電体32が分極し、電圧を取り去った後も分極状態を維持する。印加する電圧の極性を変えることにより、極性の異なる2つの分極状態を得ることができる。たとえば、コントロールゲート電極CG側に対してメモリゲート電極MGに低い電圧を与えると、強誘電体32はコントロールゲート電極CG側を負極性として分極する(第1の状態に分極)。反対に、メモリゲート電極MG側に高い電圧を与えると、強誘電体32はコントロールゲート電極CG側を正極性として分極する(第2の状態に分極)。このようにして、2つの状態を不揮発的に記録することができる。

【0036】コントロールゲート電極CG側を正極として分極している場合(第2の状態に分極している場合)には、チャネルを形成するために必要なコントロールゲート電極CGの電圧は小さくなる。また、コントロールゲート電極CG側を負極として分極している場合(第1の状態に分極している場合)には、チャネルを形成するために必要なコントロールゲート電極CGの電圧は大きくなる。したがって、両電圧の間にある電圧をコントロールゲート電極CGに与え、チャネルが形成されるか否かによって、記録した情報の読み出しを行うことができる。

【0037】上記の関係を、図4Bの回路によって測定した、図4Aの特性曲線によって説明する。図4Aにおいて、曲線Bは、コントロールゲート電極CGとメモリゲート電極MGを短絡した場合の、コントロールゲート電圧 V_{CG} とドレイン電流 I_D の特性を示すものである。コントロールゲート電圧 V_{CG} を上昇させていくと、ドレイン電流 I_D は増加する。さらにコントロールゲート電圧 V_{CG} を上昇させると、抵抗Rによって決定される設定最大ドレイン電流 I_{OMAX} にて、ドレイン電流の増加が止る。

【0038】曲線 α は、コントロールゲート電極CG側を正極として、強誘電体32が分極している場合(第2の状態に分極している場合)の、特性を示すものである。曲線Bの場合と同じような傾向を示すが、強誘電体32の分極の影響により、小さなコントロールゲート電圧 V_{CG} にてドレイン電流が流れている。また、小さなコントロール電圧 V_{CG} にてドレイン電流が設定最大ドレイン電流 I_{OMAX} に達している。

【0039】曲線 γ は、コントロールゲート電極CG側

を負極として、強誘電体32が分極している場合(第1の状態に分極している場合)の、特性を示すものである。曲線Bの場合と同じような傾向を示すが、強誘電体32の分極の影響により、大きなコントロールゲート電圧 V_{CG} にてドレイン電流が流れ始めている。また、大きなコントロール電圧 V_{CG} にてドレイン電流が設定最大ドレイン電流 I_{OMAX} に達し、増加が止っている。

【0040】読み出しの際には、設定最大ドレイン電流 I_{OMAX} の半分のドレイン電流値 I_S に対応するコントロールゲート電圧を、基準電圧 V_{ref} としてコントロールゲート電極CGに与える。この時のドレイン電流 I_D が、基準電流 I_S よりも大きい(点X)、小さい(点Y)により、記憶されている情報を知ることができる。

【0041】次に、図3の不揮発性メモリ素子Mをマトリクス状に接続して構成した不揮発性メモリを、図1に示す。各列の同一行にあるメモリ素子(たとえば、 M_{11} 、 M_{12} 、 M_{13} ...)のドレイン電極Dは、ドレインライン DL_1 、 DL_2 、 DL_3 ...に接続されている。各ドレインライン DL_1 、 DL_2 、 DL_3 ...は、統合ドレインライン DL にまとめられ、抵抗Rを介して電源電圧 V_{DD} に接続されている。

【0042】各行の同一列にあるメモリ素子(たとえば、 M_{11} 、 M_{21} 、 M_{31} ...)の、コントロールゲート電極CGは、コントロールゲートライン CGL_1 、 CGL_2 、 CGL_3 ...に接続されている。また、各行の同一列にあるメモリ素子(たとえば、 M_{12} 、 M_{22} 、 M_{32} ...)の、ソース電極Sは、ソースライン SL_1 、 SL_2 、 SL_3 ...に接続されている。さらに、各列の同一行にあるメモリ素子(たとえば、 M_{11} 、 M_{12} 、 M_{13} ...)の、メモリゲート電極MGは、メモリゲートライン MGL_1 、 MGL_2 、 MGL_3 ...に接続されている。

【0043】図5に、メモリ素子 M_{22} を対象とした場合の、書込時、読出時、スタンバイ時に、各ラインに与える電圧を表にして示す。

【0044】書込時には、コントロールゲートライン CGL_2 だけを基準電圧 V_{ref} とし、他のコントロールゲートライン CGL はフローティング状態としている。また、ソースライン SL_2 だけを接地電圧とし、他のソースライン SL はフローティング状態としている。さらに、メモリゲートライン MGL_2 だけに、記録する情報の電圧(5V(V_{DD})または接地電圧)を与え、他のメモリゲートライン MGL には基準電圧 V_{ref} を与えている。これにより、メモリ素子 M_{22} の強誘電体膜32のみに、記録する情報の電圧が印加されて分極が行われる。つまり、記録する情報に応じて、メモリ素子 M_{22} の強誘電体層32が、第1の状態または第2の状態に分極する。

【0045】読出時には、コントロールゲートラインC

11

GL₂だけを基準電圧V_{ref}とし、他のコントロールゲートラインCGLはフローティング状態としている。また、ソースラインSL₂だけを接地電圧とし、他のソースラインSLはフローティング状態としている。さらに、メモリゲートラインMGL₂だけをフローティング状態とし、他のメモリゲートラインMGLには基準電圧V_{ref}を与えている。

【0046】基準電圧V_{ref}が与えられたコントロールゲートラインは、CGL₂だけである。したがって、他のコントロールゲートラインCGL₁、CGL₂に接続されているメモリ素子M₁₁、M₂₁、M₃₁、M₁₃、M₂₃、M₃₃のドレインには電流は流れない。メモリ素子M₂₂のコントロールゲート電極には基準電圧V_{ref}が与えられており、メモリゲート電極はフローティング状態とされている。したがって、この実施例では、メモリ素子M₂₂の記憶情報に応じて(強誘電体層の分極方向に応じて)、設定最大ドレイン電流I_{OMAX}か(図4の点X)、0か(図4の点Y)のドレイン電流I_Dが流れる。この2つの状態を、基準電流I_Sによって判断し(つまり、基準電流I_Sよりも大きいのか小さいかによって判断し)、情報を読み出すことができる。つまり、非破壊的に記憶情報を読み出すことができる。

【0047】なお、メモリ素子M₁₂、M₃₂のコントロールゲート電極には基準電圧V_{ref}が与えられているが、メモリゲート電極にも基準電圧V_{ref}が与えられているので、短絡したと同じ状態になる。したがって、図4Aの特性曲線βの、基準電圧V_{ref}におけるドレイン電流が流れてしまう。このドレイン電流が大きいと、誤った読み出しを行うこととなる。たとえば、図4Aのような特性曲線βの場合には、メモリ素子M₁₂、M₃₂のそれぞれにI_{OMAX}/2のドレイン電流が流れてしまい、誤動作を生じる。

【0048】したがって、この実施例では、各メモリ素子の動作特性を図6に示すように設定している。つまり、基準電流I_Sよりもきわめて小さい抑制された基準電流I₀に対応する抑制された基準電圧V_{ref2}を用いている。これによれば、メモリ素子M₁₂、M₃₂に流れるドレイン電流は、極めて小さくなり(I₀となる)、誤読み出しがない。なお、この場合においても、ドレイン電流I_Dが、図4Aの基準電流I_S(=I_{OMAX}/2)よりも大きい(電流I_{ox})、否か(電流I_{oy})によって、メモリ素子M₂₂の記録情報を読み出す。なお、抑制された基準電流I₀の値は、一列に接続されたメモリ素子の数をKとすると、I_{OMAX}/2Kよりも十分に小さいことが好ましい。

【0049】このように、抑制された基準電圧V_{ref2}を読み出しに用いることにより、誤動作を防止することができる。ただし、書き込み時にも同じ基準電圧V_{ref2}を用いるのであれば、この基準電圧V_{ref2}は、強誘電体層32が誘電分極を生じるのに十分な最小の電圧値とする

12

ことが好ましい。なお、この実施例では、V_{ref2}を1V程度としている(V_{DD}=5V)。

【0050】以上のようにして、所望のメモリ素子に対して、記録、読み出しを行うことができる。

【0051】上記の実施例では、書き込みのためにメモリゲートMGに印加する電圧を、読み出しのためにメモリゲートMGに印加する電圧と、等しい電圧(基準電圧)としている。したがって、周辺回路が簡素化できる。なお、書き込みのためにメモリゲートMGに印加する電圧は、設定最大ドレイン電流とゼロとの間の電流に対応する電圧(中間電圧)であれば、読み出しのためにメモリゲートMGに印加する電圧と異なってもよい。

【0052】ところで、図1の回路を動作させるには、基準電圧V_{ref1}、V_{ref2}を発生する回路が必要である。図4、図6からも明らかなように、メモリを構成するメモリ素子に合致した、正確な基準電圧V_{ref1}、V_{ref2}が得られなければ、誤動作を生じるおそれがある。この実施例では、図7に示すような基準電圧発生回路40を用いることによって、適正な基準電圧V_{ref2}を得るようにしている。

【0053】図において、基準電圧発生用素子42は、基準電圧V_{ref2}を必要としているメモリ素子Mと同じ構造のものを用いる。つまり、集積回路において、同じプロセスでメモリ素子Mと同時に形成する。コントロールゲート電極CG、メモリゲート電極MG、ドレイン電極Dを短絡するとともに、ドレイン電極Dに抑制された基準電流I₀(図6参照)の定電流源44を接続する。この素子42は、コントロールゲート電極CGとメモリゲート電極MGが短絡されているので、図6のβで示す特性を有する。また、ドレインにはI₀の電流が与えられているので、コントロールゲート電極CGの電圧は、基準電圧V_{ref2}となる。素子42は、メモリ素子Mと同じ構造、同じプロセスで作られる。したがって、製造時や動作時にメモリ素子Mの特性が変動しても、素子42の特性も同じように変動するので、この基準電圧V_{ref2}は、当該メモリ素子Mとの相対的な関係において適切な値を維持できる。

【0054】また、基準電圧V_{ref1}が必要な場合には、電流源44をI_Sの値を有するものとすればよい。同様に、中間電圧が必要な場合には、電流源44に代えて、その中間電圧に対応した電流源を設ければよい。

【0055】また、図1の回路を動作させるには、ドレイン電流を判定する回路が必要である。上記図1の説明においては、統合ドレインラインDLに流れるドレイン電流が基準電流I_Sよりも大きいのか小さいかによって、注目するメモリ素子M₂₂の記録情報を判定する方法を説明した。つまり、注目するメモリ素子M₂₂が第1の状態に分極している場合には、基準電流I_Sよりも小さいドレイン電流I_Dしか流れず、第2の状態に分極している

場合には、基準電流 I_s よりも大きいドレイン電流 I_D が流れるように、ドレインラインDLに抵抗 R を介して電源電圧 V_{DD} を与えている。このドレインラインDLを流れる電流を、電流計測回路で計測すれば、判定を行うことができるが、回路構成が複雑となる。

【0056】そこで、図8のような、ドレイン電流判定回路50を用いることもできる。この場合、図1の抵抗 R は不要である。第1の電流判定用素子52、第2の電流判定用素子54は、メモリ素子 M と同じ構造、同じプロセスで作られたものである。素子52のドレイン電極Dには、設定最大ドレイン電流 I_{OMAX} の約 $1/2$ の電流 I_s の定電流源56が接続されている。また、素子54のドレイン電極Dには、 $I_s/2$ の定電流源58が接続されている。この回路の端子60に、統合ドレインラインDL(図1)を接続する。

【0057】注目するメモリ素子 M_{22} が、第2の状態に分極しており、 I_0 を越えるドレイン電流を流す能力を有している場合には、定電流源56の電流 I_s が、当該メモリ素子 M_{22} に流れ込み、素子52には流れ込まない。このため素子52がoffとなり、素子54もoffとなる。また、注目するメモリ素子 M_{22} が、第1の状態に分極しており、 I_0 を越えるドレイン電流を流す能力を有していない場合には、定電流源56の電流 I_s が、当該メモリ素子 M_{22} に流れ込まないため、素子52には流れ込む。このため素子52がonとなり、素子54もonとなる。したがって、読み出し出力端子63から、注目するメモリ素子 M_{22} に書き込まれた情報に対応した読み出し出力を得ることができる。この判定回路50においても、図7と同様、素子56、58が、メモリ素子 M と同じ構造、同じプロセスで作られているので、特性変動による誤動作がない。

【0058】なお、動作入力端子61が「L」である場合には、トランジスタ53がoffであるので、上記のように動作する。しかし、動作入力端子61が「H」である場合には、トランジスタ53がonとなり、定電流源56の電流がトランジスタ53を介して流れるので、読み出し出力端子63は「L」に固定される。

【0059】なお、図7、図8の定電流源は、図9のような回路によって実現できる。メモリ素子 M と同じ構成の電流発生用素子62の、メモリゲート電極MGとコントロールゲート電極CGとを短絡し、これに電源電圧 V_{DD} を与えている。また、ドレイン電極Dには、カレントミラー回路55の入力側が接続されている。したがって、素子62のドレインには、素子62の $V_G \cdot V_{DD}$ に応じた設定最大ドレイン電流 I_{OMAX} が流れる。カレントミラー回路55の出力側55aには、抵抗 R_a が接続されている。この抵抗 R_a の抵抗値を選択することにより、出力側55aから、基準電流 I_s ($I_{OMAX}/2$)を得ることができる。

【0060】同様に、出力側55bには、 $I_s/2$ (I

$I_{OMAX}/4$)の電流が得られるような抵抗 R_b が接続されている。さらに、出力側55cには、抑制された基準電流 I_0 (図6参照)が得られるような抵抗 R_c が接続されている。

【0061】なお、上記実施例では、抵抗値を変えることによって所望の出力電流を得ているが、出力側のトランジスタの幅(トランジスタワイド)を変えてトランジスタの特性を変化させ、所望の出力電流を得るようにしてもよい。また、双方を変化させて所望の出力電流を得てもよい。

【0062】この回路においても、メモリ素子 M と同じ構造、同じプロセスで作った素子62によって基本となる設定最大ドレイン電流 I_{OMAX} を得ているので、変動誤差をキャンセルすることができる。

【0063】図10に、図7の基準電圧発生回路40、図8のドレイン電流判定回路50を用いて不揮発性メモリを構成した場合の回路図を示す。図面では、簡単のため、 2×2 のマトリクス部分のみを表しているが、 $n \times n$ 個のメモリ素子 M を配置している。

【0064】記録時における各端子への印加電圧の状況を図13に示す。なお、ここでは、メモリ素子 M_{22} を対象として書き込みを行うものとする。図13にあるように、端子R/Wを「L」、端子INに記録したい電圧「H」または「L」、端子C1に「L」、端子C2に「H」、端子L1に「L」、端子L2に「H」を印加する。

【0065】端子R/Wは、書き込みの際には「L」とする。これにより、ドレイン電流判定回路50の動作入力端子61が「H」となって、ドレイン電流判定回路50は読み出し動作を行わない(読み出し出力端子63を「L」に固定する)。なお、この実施例では、「H」を5V、「L」を0Vとした。また、この実施例では、トランジスタ Q_{I1} 、 Q_{R1} 、 Q_{M1} (Q_{I2} 、 Q_{R2} 、 Q_{M2})によってメモリゲートスイッチング手段が構成されている。

【0066】書き込みの対象となるメモリ素子 M_{22} が属する行の端子C2のみを「H」とし、他の行の端子C1・・・・を「L」にする。これを受けて、第1の選択手段CS1、CS2・・・・のうち、対象となるメモリ素子 M_{22} が属する行の選択手段CS2は、トランジスタ Q_{I2} をオフにする。また、対象となるメモリ素子 M_{22} が属さない行の選択手段CS1・・・・は、トランジスタ Q_{I1} ・・・・をオンにする。したがって、対象となるメモリ素子 M_{22} が属する行のメモリゲートラインMGL2がフロートイング状態となり、他の行のメモリゲートラインMGL1・・・・には、基準電圧発生回路40から基準電圧 V_{REF2} が印加される。

【0067】また、書き込みの対象となるメモリ素子 M_{22} が属する列の端子L2のみを「H」とし、他の列の端子L1・・・・を「L」にする。これにより、対象となるメモリ素子 M_{22} の属する列のソーススイッチング手段Q

10

20

30

40

50

S₂、コントロールゲートスイッチング手段Q_{I2}がオンとなり、その他の列のソーススイッチング手段Q_{S1}・・・、コントロールゲートスイッチング手段Q_{S1}・・・がオフとなる。したがって、対象となるメモリ素子M₂₂が属する列のソースラインS_{L2}が接地され、他の列のソースラインM_{GL1}・・・がフローティング状態となる。また、対象となるメモリ素子M₂₂が属する列のコントロールゲートラインC_{GL2}に基準電圧V_{ref2}が印加接地され、他の列のコントロールゲートラインC_{GL1}・・・がフローティング状態となる。

【0068】この状態で、記録したい電圧(情報)を、端子INから「H」または「L」で与える。この電圧は、トランジスタQ_{R2}(端子R/WがLの時にオン)、トランジスタQ_{M2}(端子C₂がHの時にオン)を介して、対象となるメモリ素子M₂₂が属する行のメモリゲートラインM_{GL2}に印加される。なお、他の行のメモリゲートラインM_{GL1}・・・には、端子C₁・・・が「L」であるため、トランジスタQ_{M1}・・・がオフとなって、記録したい電圧が印加されない。

【0069】メモリ素子M₂₂のコントロールゲートには基準電圧V_{ref2}が印加され、メモリゲートには記録したい電圧が印加される。したがって、メモリ素子M₂₂の強誘電体層は、記録したい電圧に応じて分極する。なお、記録したい電圧は、メモリ素子M₂₂と同じ行のメモリ素子M₂₁・・・のメモリゲートにも印加される。しかし、メモリ素子M₂₁・・・のコントロールゲートは、フローティング状態とされているので、これらの強誘電体層は書き込み電圧の影響を受けない。また、メモリ素子M₂₂と同じ列のメモリ素子M₂₁・・・のコントロールゲートにも、基準電圧V_{ref2}が印加される。しかし、メモリ素子M₁₂・・・のメモリゲートには基準電圧V_{ref2}が印加され、記録したい電圧が印加されていないので、これらの強誘電体層は書き込み電圧の影響を受けない。

【0070】なお、対象となるメモリ素子M₂₂と行、列の双方が異なるメモリ素子M₁₁・・・においては、コントロールゲートがフローティング状態とされ、メモリゲートに基準電圧V_{ref2}が印加されているので、これらの強誘電体層は書き込み電圧の影響を受けない。

【0071】以上のように、対象となるメモリ素子M₂₂のみに対し、選択的に書き込みを行うことができる。

【0072】図11に、読み出しの際の動作状況を示す。なお、ここでは、メモリ素子M₂₂を対象として読み出しを行うものとする。図13にあるように、端子R/Wを「H」、端子C₁に「L」、端子C₂に「H」、端子L₁に「L」、端子L₂に「H」を印加する。読み出し出力は、端子OUTに得られる。

【0073】端子R/Wは、読み出しの際には「H」とする。これにより、ドレイン電流判定回路50の動作入力端子61が「L」となって、ドレイン電流判定回路50は読み出し動作を行なう。つまり、ドレイン電流に基

づいて記録された情報を判定し、端子OUTから出力する。また、端子R/Wを「H」とすることにより、トランジスタQ_{R1}、Q_{R2}・・・がオフとなって、端子INの電圧が、メモリゲートラインに影響を与えることがないようにしている。

【0074】読み出しの対象となるメモリ素子M₂₂が属する行の端子C₂、列の端子L₂のみを「H」とする点は、書き込みの場合と同様である。したがって、対象となるメモリ素子M₂₂が属する行のメモリゲートラインM_{GL2}がフローティング状態となり、他の行のメモリゲートラインM_{GL1}・・・には、基準電圧発生回路40から基準電圧V_{ref2}が印加される。また、対象となるメモリ素子M₂₂が属する列のソースラインS_{L2}が接地され、他の列のソースラインM_{GL1}・・・がフローティング状態となる。さらに、対象となるメモリ素子M₂₂が属する列のコントロールゲートラインC_{GL2}に基準電圧V_{ref2}が印加接地され、他の列のコントロールゲートラインC_{GL1}・・・がフローティング状態となる。

【0075】メモリ素子M₂₂のメモリゲートはフローティング状態とされ、コントロールゲートには基準電圧V_{ref2}が印加される。したがって、メモリ素子M₂₂の強誘電体層が第2の状態に分極していれば図6の点XXの電流に対応するチャネルが形成され、第1の状態に分極していればチャネルが形成されない(点YY)。さらに、メモリ素子M₂₂のソースは接地されているので、メモリ素子M₂₂は、形成されたチャネルに応じた電流を流す能力を有する状態となる。

【0076】なお、メモリ素子M₂₂と同じ行のメモリ素子M₂₁・・・においては、コントロールゲートおよびソースがフローティング状態とされるので、電流を流す能力を有する状態とはならない。また、メモリ素子M₂₂と行、列の双方が異なるメモリ素子M₁₁・・・においても、コントロールゲートおよびソースがフローティング状態とされるので、電流を流す能力を有する状態とはならない。

【0077】なお、メモリ素子M₂₂と同じ列のメモリ素子M₁₂・・・のコントロールゲートにも基準電圧V_{ref2}が印加される。しかし、メモリ素子M₁₂・・・においては、メモリゲートにも基準電圧V_{ref2}が印加されるので、図6の電流I₀に対応するチャネルしか形成されない。また、メモリ素子M₁₂・・・のソースは接地されるので、電流I₀を流し得る能力を有する状態となる。

【0078】したがって、メモリ素子M₂₂の属する行のドレインラインD_{L2}は、記録内容に応じた電流能力を有し、メモリ素子M₂₂の属さない行のドレインラインD_{L1}・・・は、それぞれ、電流I₀を流す能力を有する状態となる。このため、統合ドレインラインDLは、メモリ素子M₂₂の記録内容に応じた電流能力に、電流I₀×(行数-1)の電流能力を加えた電流能力を有する状態となる。しかし、前述のように、電流I₀が下式を満た

すように基準電圧基準電圧 V_{ref2} を設定しておけば、読み出しにおいて誤動作を生じない。

【0079】 $I_0 = I_s \cdot (K - 1)$

ここで、 I_s は判定のための電流、 K は全行数である。

【0080】統合ドレインラインDLは、ドレイン電流判定回路50の判定入力端子60に接続されている。したがって、メモリ素子 M_{22} の記録内容に応じて、出力端子OUTから読み出し出力が得られる。

【0081】図12に、スタンバイ時の動作状況を示す。この実施例では、対象となる素子を選択するための端子 C_1 、 $C_2 \dots$ 、 L_1 、 $L_2 \dots$ を全て「L」にすれば（アドレス選択を行わなければ）、自動的にスタンバイ状態となるようにしている。全てのメモリ素子 M_{11} 、 $M_{12} \dots$ 、 M_{21} 、 $M_{22} \dots$ において、メモリゲートに基準電圧が印加され、コントロールゲートがフローティング状態とされて、書き込み内容の変動が防止される。

【0082】図14～図16に、他の実施例による不揮発性メモリを示す。図14が書き込み時、図15が読み出し時、図16がスタンバイ時の動作状況である。

【0083】この実施例においては、各ドレインライン DL_1 、 $DL_2 \dots$ に、ドレインスイッチング手段 Q_{01} 、 $Q_{02} \dots$ を設けている。第1の選択手段 C_1 、 $CS_2 \dots$ の制御によって、選択された行のドレインスイッチング手段 Q_{02} のみが、オンとなるように構成されている。したがって、図15の読み出し時において、統合ドレインラインDLには、選択された行（対象となるメモリ素子 M_{22} の属する行）のドレインライン DL_2 のみが接続される。これにより、基準電圧を図4に示す V_{ref} としても、読み出し時に誤動作を生じることがない。つまり、余裕をもって動作点を設定することができる。

【0084】また、この実施例においては、各列ごとに第2の選択手段 LS_1 、 $LS_2 \dots$ を設け、これらの出力によりソーススイッチング手段 QS_1 、 $QS_2 \dots$ を制御している。また、コントロールゲートスイッチング手段を、トランジスタ QT_1 、 $QT_2 \dots$ とトランジスタ QP_1 、 $QP_2 \dots$ の並列接続体、およびNORゲート90によって構成している。図16のスタンバイ時において、全ての端子 L_1 、 $L_2 \dots$ が「L」である場合には、NORゲート90の出力が「H」となり、トランジスタ QP_1 、 $QP_2 \dots$ が全てオンとなる。したがって、全てのコントロールゲートライン CGL_1 、 $CGL_2 \dots$ に基準電圧 V_{ref} が印加される。全てのメモリゲートライン MGL_1 、 $MGL_2 \dots$ にも基準電圧 V_{ref} が印加されているので、各メモリ素子 M_{11} 、 $M_{12} \dots$ 、 M_{21} 、 $M_{22} \dots$ の強誘電体層の両端には、電圧が印加されない。したがって、スタンバイ時に書き込み内容が変化しない。

【0085】ところで、図10～図12に示す回路や図

14～図16に示す回路においては、強誘電体の特性やバイアスの選択によっては、次のような誤動作を生じる場合もある。図17に、図14～図16の回路において、メモリ素子 M_{22} の読み出しを行う場合の状態を示す。ここでは、読み出し対象となるメモリ素子 M_{22} を、注目メモリ素子と呼ぶ。注目メモリ素子 M_{22} の内容を読み出す場合には、前述のように、コントロールゲートライン CGL_2 を基準電圧 V_{ref} とし、他のコントロールゲートライン CGL_1 、 $CGL_3 \dots$ はフローティング状態とする。また、ソースライン SL_2 を接地し、他のソースライン SL_1 、 $SL_3 \dots$ はフローティング状態とする。また、メモリゲートライン MGL_2 をフローティング状態とし、他のメモリゲートライン MGL_1 、 $MGL_3 \dots$ は基準電圧 V_{ref} とする。

【0086】したがって、この時、注目メモリ素子 M_{22} のチャネルが形成されるような方向に分極していれば、ドレインライン DL_2 は接地状態となる。このため、隣のメモリ素子 M_{23} のドレインも接地状態となる。一方、斜となりのメモリ素子 M_{33} のメモリゲートは、基準電圧 V_{ref} となっている。さらに、メモリ素子 M_{23} と M_{33} のコントロールゲートライン CGL_3 は、フローティング状態である。このため、図中に太線で示すように、メモリ素子 M_{23} のドレインとメモリ素子 M_{33} のメモリゲートとの間に、基準電圧 V_{ref} と接地電圧が印加される。これにより、メモリ素子 M_{23} の強誘電体層とメモリ素子 M_{33} の強誘電体層に、分極を誘起するような電圧が印加されるおそれがある。したがって、強誘電体の特性によっては、メモリ素子 M_{23} とメモリ素子 M_{33} の書き込み内容が変化してしまうおそれがある。

【0087】また、上記の読み出し時において、図18に示すような問題を生じるおそれもある。注目メモリ素子 M_{22} のコントロールゲートには、基準電圧 V_{ref} が印加されている。注目メモリ素子 M_{22} の記録内容によっては、そのメモリゲートに基準電圧 V_{ref} よりも高い電圧 V_{ref}' を生じることがある。この電圧 V_{ref}' は、となりのメモリ素子 M_{23} のメモリゲートに印加される。これにより、メモリ素子 M_{23} の記録内容によっては、そのメモリゲートに電圧 V_{ref}' よりもさらに高い電圧 V_{ref}'' を生じることがある。この電圧 V_{ref}'' は、メモリ素子 M_{33} のメモリゲートに印加される。また、メモリ素子 M_{33} のメモリゲートには、基準電圧 V_{ref} が与えられている。したがって、メモリ素子 M_{33} の強誘電体層には、電圧 V_{ref}'' と基準電圧 V_{ref} との差電圧が印加され、強誘電体の特性によっては、書き込み内容が変化してしまうおそれがある。

【0088】また、書き込みの際にも上記と同様の問題を生じるおそれがある。

【0089】上記のような問題点を解決したのが、図19～図24に示す回路である。この実施例では、各メモリ素子のコントロールゲートにコントロールゲート保護

19

スイッチング手段である保護トランジスタ H_{11} 、 H_{12} 、 \dots 、 H_{21} 、 H_{22} 、 \dots を設けている。同一列のメモリ素子は、保護トランジスタを介して、同一のコントロールゲートラインに接続されている。また、この保護トランジスタ H_{11} 、 H_{21} 、 \dots は、選択端子 L_1 に「H」が与えられているとオンとなり、保護トランジスタ H_{12} 、 H_{22} 、 \dots は、選択端子 L_2 に「H」が与えられているとオンとなる。つまり、注目メモリ素子の属する列以外の列の保護トランジスタは、オフとなるように構成されている。

【0090】図19、図20は、書き込み時の動作状態を示すものである。ここでは、メモリ素子 M_{11} を注目メモリ素子として説明する。この場合には、端子 C_1 を「H」、端子 C_2 、 \dots を「L」、端子 L_1 を「H」、端子 L_2 、 \dots を「L」とする。これにより、保護トランジスタ H_{11} 、 H_{21} 、 \dots がオンとなり、注目メモリ素子 M_{11} に書き込みに必要な電圧が印加される。一方、保護トランジスタ H_{12} 、 H_{22} 、 \dots は、オフであるから、メモリ素子 M_{12} 、 M_{22} 、 \dots のコントロールゲートは、コントロールゲートライン CG_{L2} 、 \dots から切り離される。したがって、図17、図18の太線で示すような経路が形成されず、誤書き込みや誤消去のおそれがない。

【0091】図21、図22は、注目メモリ素子 M_{11} から読み出す場合の動作状態を示すものである。読み出しの際においても、注目メモリ素子 M_{11} の属する列以外の列の保護トランジスタ H_{12} 、 H_{22} 、 \dots はオフとなる。したがって、図17、図18の太線で示すような経路が形成されず、誤書き込みや誤消去のおそれがない。

【0092】図23、図24は、スタンバイ時の動作状態を示すものである。スタンバイ時には、端子 C_1 、 C_2 、 \dots 、 L_1 、 L_2 、 \dots をすべて「L」とする。端子 L_1 、 L_2 、 \dots の反転出力 R_{11} は、スタンバイ判定回路であるアンド回路91に与えられる。したがって、スタンバイ判定回路91からは、「H」の判定出力 R_0 が得られる。これにより、トランジスタ Q_{21} 、 Q_{22} 、 \dots がオンとなって、全ての保護トランジスタ H_{11} 、 H_{12} 、 \dots 、 H_{21} 、 H_{22} 、 \dots がオンとなる。したがって、各メモリ素子の強誘電体層の両端のいずれにも基準電圧が印加され、強誘電体層の両端に電位差が生じない。したがって、スタンバイ時において、全てのメモリ素子の書き込み内容の変化を防ぐことができる。

【0093】図17、図18に示した問題点を解決した他の実施例を、図25～図30に示す。この実施例では、各メモリ素子のメモリゲートにメモリゲート保護スイッチング手段である保護トランジスタ H_{11} 、 H_{12} 、 \dots 、 H_{21} 、 H_{22} 、 \dots を設けている。同一行のメモリ素子は、保護トランジスタを介して、同一のメモリゲートラインに接続されている。また、この実施例では、トランジスタ Q_{R1} 、 Q_{M1} (Q_{R2} 、 Q_{M2}) によって、メモリゲートスイッチング手段を構成している。

20

【0094】図25、図26は、書き込み時の動作状態を示すものである。ここでは、メモリ素子 M_{11} を注目メモリ素子として説明する。この場合には、端子 C_1 を「H」、端子 C_2 、 \dots を「L」、端子 L_1 を「H」、端子 L_2 、 \dots を「L」とする。なお、書き込み時には「H」となる電圧 (図中④参照、図19の参照④参照) がトランジスタ Q_{A1} 、 Q_{A2} 、 \dots に与えられ、トランジスタ Q_{A1} 、 Q_{A2} 、 \dots をオンにしている。また、書き込み時には「L」となる電圧 (図中⑦参照、図19の参照⑦参照) がトランジスタ Q_{X1} 、 Q_{X2} 、 \dots に与えられ、トランジスタ Q_{X1} 、 Q_{X2} 、 \dots をオフにしている。したがって、書き込み時には、トランジスタ Q_{B1} 、 Q_{B2} 、 \dots がオンであるかオフであるかによって、その列の保護トランジスタがオンとなるかオフとなるかが決定される。

【0095】ここでは、トランジスタ Q_{B1} がオンである。したがって、注目メモリ素子 M_{11} の属する列の保護トランジスタ H_{11} 、 H_{21} 、 \dots がオンとなる。これにより、注目メモリ素子 M_{11} に書き込みに必要な電圧が印加される。

【0096】一方、トランジスタ Q_{B2} はオフであるから、保護トランジスタ H_{12} 、 H_{22} 、 \dots は、オフとなる。したがって、メモリ素子 M_{12} 、 M_{22} 、 \dots のメモリゲートは、メモリゲートライン MGL_1 、 MGL_2 、 \dots から切り離される。このため、図17、図18の太線で示すような経路が形成されず、誤書き込みや誤消去のおそれを防止することができる。

【0097】図27、図28は、注目メモリ素子 M_{11} から読み出す場合の動作状態を示すものである。この場合にも、端子 C_1 を「H」、端子 C_2 、 \dots を「L」、端子 L_1 を「H」、端子 L_2 、 \dots を「L」とする。なお、読み出し時には「L」となる電圧 (図中④参照、図19の参照④参照) がトランジスタ Q_{A1} 、 Q_{A2} 、 \dots に与えられ、トランジスタ Q_{A1} 、 Q_{A2} 、 \dots をオフにしている。また、読み出し時には「H」となる電圧 (図中⑦参照、図19の参照⑦参照) がトランジスタ Q_{X1} 、 Q_{X2} 、 \dots に与えられ、トランジスタ Q_{X1} 、 Q_{X2} 、 \dots をオンにしている。したがって、読み出し時には、トランジスタ Q_{Y1} 、 Q_{Y2} 、 \dots がオンであるかオフであるかによって、その列の保護トランジスタがオンとなるかオフとなるかが決定される。

【0098】ここでは、トランジスタ Q_{Y1} がオフである。したがって、注目メモリ素子 M_{11} の属する列の保護トランジスタ H_{11} 、 H_{21} 、 \dots がオフとなる。これにより、注目メモリ素子 M_{11} の属する列のメモリ素子 M_{12} 、 \dots のメモリゲートが、メモリゲートライン MGL_1 、 MGL_2 、 \dots から切り離される。したがって、注目メモリ素子 M_{11} からの読み出しを行うことができる。さらに、図17、図18の太線で示すような経路が形成されず、誤書き込みや誤消去のおそれを防止することができ

21

る。

【0099】一方、トランジスタ Q_{V2} はオンであるから、保護トランジスタ H_{12} 、 H_{22} ・・・は、オンとなる。したがって、メモリ素子 M_{12} 、 M_{22} ・・・のメモリゲートには、基準電圧 V_{ref} が印加され、書き込み内容の変化を防止することができる。

【0100】ところで、図22の実施例においては、選択された列以外の列のコントロールゲートが、保護トランジスタ H_{12} 、 H_{22} ・・・のオフによってフローティングにされるので、メモリ素子の強誘電体に電圧が印加されるおそれはない。しかし、選択された行のメモリ素子 H_{12} においては、フローティング状態となったメモリゲートライン MGL_1 によって、メモリ素子 H_{11} と接続され、強誘電体のメモリゲート側に電圧が印加される。このため、浮遊容量や配線容量によっては、メモリ素子 H_{12} の内容が変化してしまうおそれがあった。これに対し、この実施例によれば、メモリゲートが保護トランジスタ H_{11} 、 H_{21} ・・・によって切り離されるので、このような問題が生じるおそれがない。

【0101】図29、図30は、スタンバイ時の動作状態を示すものである。スタンバイ時には、端子 C_1 、 C_2 ・・・、 L_1 、 L_2 ・・・をすべて「L」とする。端子 L_1 、 L_2 ・・・の反転出力 Ri は、スタンバイ判定回路であるアンド回路91に与えられる。したがって、スタンバイ判定回路91からは、「H」の判定出力 $R0$ が得られる。これにより、全てのソーススイッチング手段 Q_{T1} 、 Q_{T2} ・・・がオンとなり、全ての保護トランジスタ H_{11} 、 H_{12} ・・・、 H_{21} 、 H_{22} ・・・がオンとなる。したがって、各メモリ素子の強誘電体層の両端のいずれにも基準電圧が印加され、強誘電体層の両端に電位差が生じない。したがって、スタンバイ時において、全てのメモリ素子の書き込み内容の変化を防ぐことができる。

【0102】なお、図20のコントロールゲート保護スイッチング手段と、図26のメモリゲート保護スイッチング手段の双方を設けるようにしてもよい。

【0103】また、上記各実施例では、ソーススイッチング手段(トランジスタ Q_{T1} 、 Q_{T2} ・・・)によって、ソースライン SL_1 、 SL_2 ・・・を接地電圧とするかフローティング状態とするかをスイッチングするようにしている。しかしながら、ソーススイッチング手段(トランジスタ Q_{T1} 、 Q_{T2} ・・・)によって、ソースライン SL_1 、 SL_2 ・・・を基準電圧とするかフローティング状態とするかをスイッチングするようにしてもよい。

【0104】なお、上記各実施例のマトリクス配置に代えて、図31に示すようなベアセル構造にしてマトリクスを構成してもよい。

【図面の簡単な説明】

【図1】この発明の一実施例による不揮発性メモリの回路図である。

22

【図2】図1の不揮発性メモリに用いた不揮発性メモリ素子Mの構造を示す図である。

【図3】図2の不揮発性メモリ素子Mのシンボルを示す図である。

【図4】図4Aは、不揮発性メモリ素子Mの特性を示す図である。図4Bは、図4Aの特性を測定した時の回路を示す図である。

【図5】図1の回路において、各モードでの印加電圧を示す表である。

10 【図6】他の実施例に用いた基準電圧 V_{ref2} を示すグラフである。

【図7】基準電圧発生回路40を示す図である。

【図8】ドレイン電流判定回路50を示す図である。

【図9】定電流源を示す図である。

【図10】この発明の一実施例による不揮発性メモリの書き込みモードに於ける各部の電圧状況を示す図である。

20 【図11】この発明の一実施例による不揮発性メモリの読み出しモードに於ける各部の電圧状況を示す図である。

【図12】この発明の一実施例による不揮発性メモリのスタンバイモードに於ける各部の電圧状況を示す図である。

【図13】図10の回路において、各モードでの印加電圧を示す表である。

【図14】ドレインスイッチング手段を設けた実施例の書き込みモードに於ける各部の電圧状況を示す図である。

30 【図15】ドレインスイッチング手段を設けた実施例の読み出しモードに於ける各部の電圧状況を示す図である。

【図16】ドレインスイッチング手段を設けた実施例のスタンバイモードに於ける各部の電圧状況を示す図である。

【図17】読み出し時における電圧印加経路を示す図である。

【図18】読み出し時における電圧印加経路を示す図である。

40 【図19】コントロールゲート保護スイッチング手段を設けた実施例の書き込みモードに於ける各部の電圧状況を示す図である。

【図20】コントロールゲート保護スイッチング手段を設けた実施例の書き込みモードに於ける各部の電圧状況を示す図である。

【図21】コントロールゲート保護スイッチング手段を設けた実施例の読み出しモードに於ける各部の電圧状況を示す図である。

50 【図22】コントロールゲート保護スイッチング手段を設けた実施例の読み出しモードに於ける各部の電圧状況を示す図である。

23

【図23】コントロールゲート保護スイッチング手段を設けた実施例のスタンバイモードに於ける各部の電圧状況を示す図である。

【図24】コントロールゲート保護スイッチング手段を設けた実施例のスタンバイモードに於ける各部の電圧状況を示す図である。

【図25】メモリゲート保護スイッチング手段を設けた実施例の書き込みモードに於ける各部の電圧状況を示す図である。

【図26】メモリゲート保護スイッチング手段を設けた実施例の書き込みモードに於ける各部の電圧状況を示す図である。

【図27】メモリゲート保護スイッチング手段を設けた実施例の読み出しモードに於ける各部の電圧状況を示す図である。

【図28】メモリゲート保護スイッチング手段を設けた実施例の読み出しモードに於ける各部の電圧状況を示す図である。

24

【図29】メモリゲート保護スイッチング手段を設けた実施例のスタンバイモードに於ける各部の電圧状況を示す図である。

【図30】メモリゲート保護スイッチング手段を設けた実施例のスタンバイモードに於ける各部の電圧状況を示す図である。

【図31】他のマトリクス構成を示す図である。

【図32】従来の不揮発性メモリの回路を示す図である。

【符号の説明】

CG・・・コントロールゲート

CGL₁、CGL₂・・・コントロールゲートライン

MG・・・メモリゲート

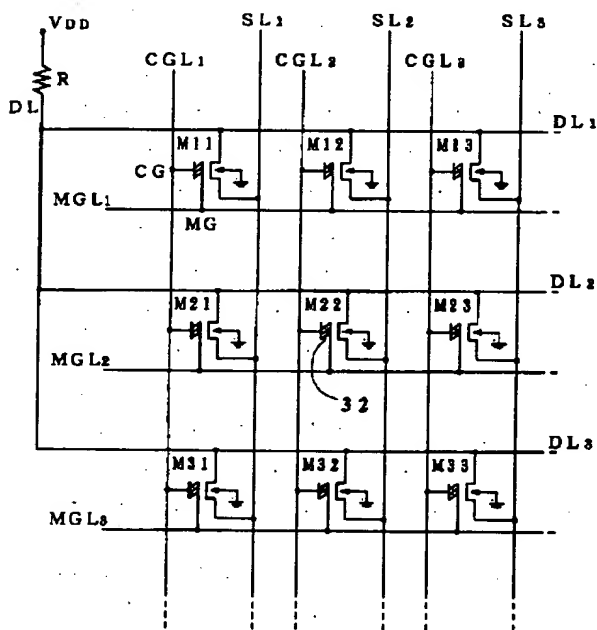
MGL₁、MGL₂・・・メモリゲートライン

DL・・・ドレインライン

SL₁・・・ソースライン

M・・・不揮発性メモリ素子

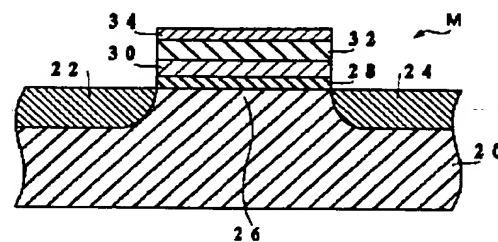
【図1】



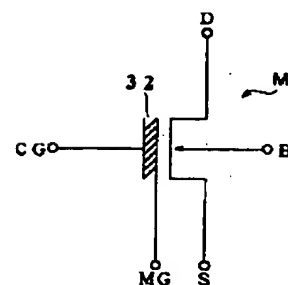
【図13】

	記録	読出	スタンバイ
R/W	L	H	—
IN	HorL	—	—
OUT	—	HorL	—
C ₁	L	L	L
C ₂	H	H	L
L ₁	L	L	L
L ₂	H	H	L

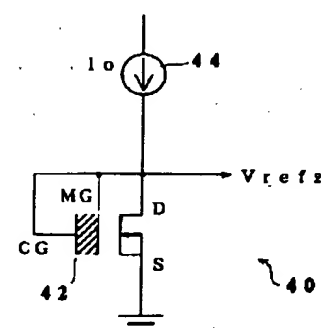
【図2】



【図3】

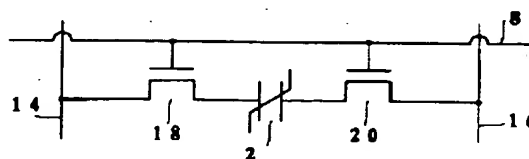


【図7】

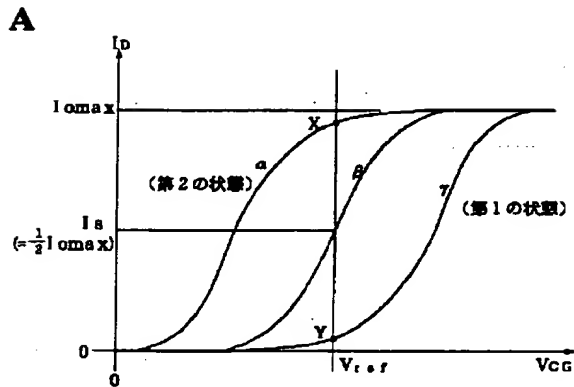
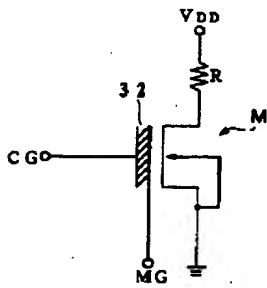


基準電圧発生回路

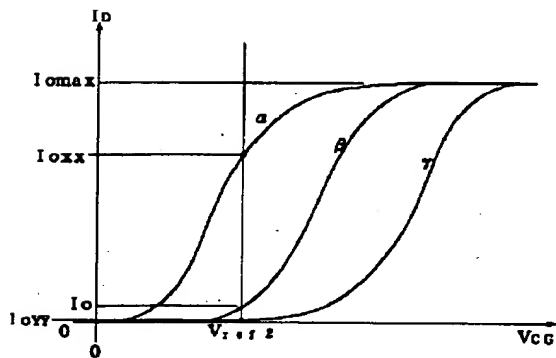
【図32】



【図4】

**B**

【図6】



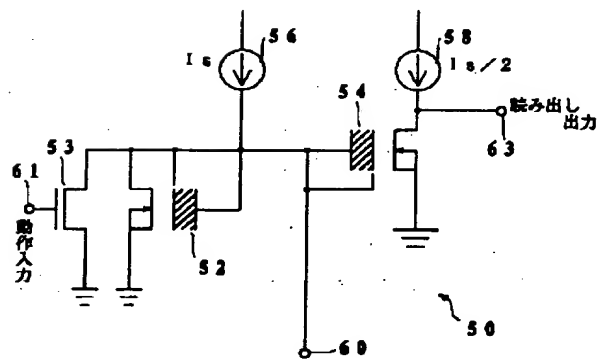
【図5】

メモリ素子M22を対象とした場合の印加電圧

スタンバイモード			書き込みモード		
CGL1: open	SL1: open	MGL1: Vref MGL2: Vref MGL3: Vref	CGL1: open	SL1: open	MGL1: Vref MGL2: VDD/GND MGL3: Vref
CGL2: open	SL2: open	MGL1: Vref MGL2: Vref MGL3: Vref	CGL2: VTH	SL2: GND	MGL1: Vref MGL2: VDD/GND MGL3: Vref
CGL3: open	SL3: open	MGL1: Vref MGL2: Vref MGL3: Vref	CGL3: open	SL3: open	MGL1: Vref MGL2: VDD/GND MGL3: Vref

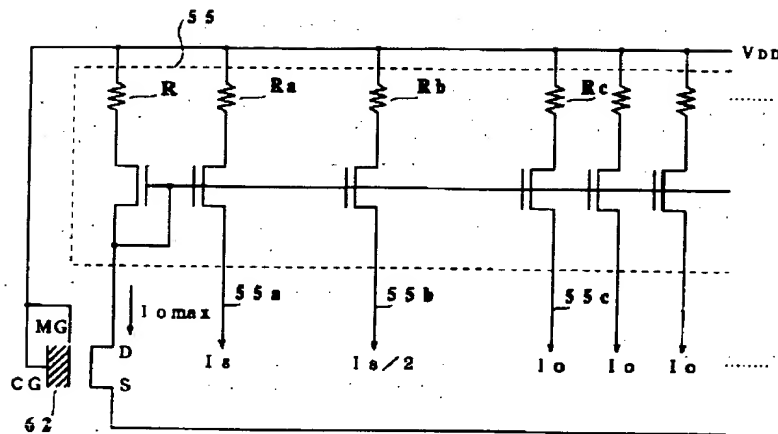
読み出しモード			フレインに流し うる電流	
CGL1: open	SL1: open	MGL1: Vref MGL2: open MGL3: Vref	I=0	(M11)
			I=0	(M21)
			I=0	(M31)
CGL2: VTH	SL2: GND	MGL1: Vref MGL2: open MGL3: Vref	I=Iomaxまたは0	(M12)
			I=Iomaxまたは0	(M22)
			I=Iomaxまたは0	(M32)
CGL3: open	SL3: open	MGL1: Vref MGL2: open MGL3: Vref	I=0	(M13)
			I=0	(M23)
			I=0	(M33)

【図8】

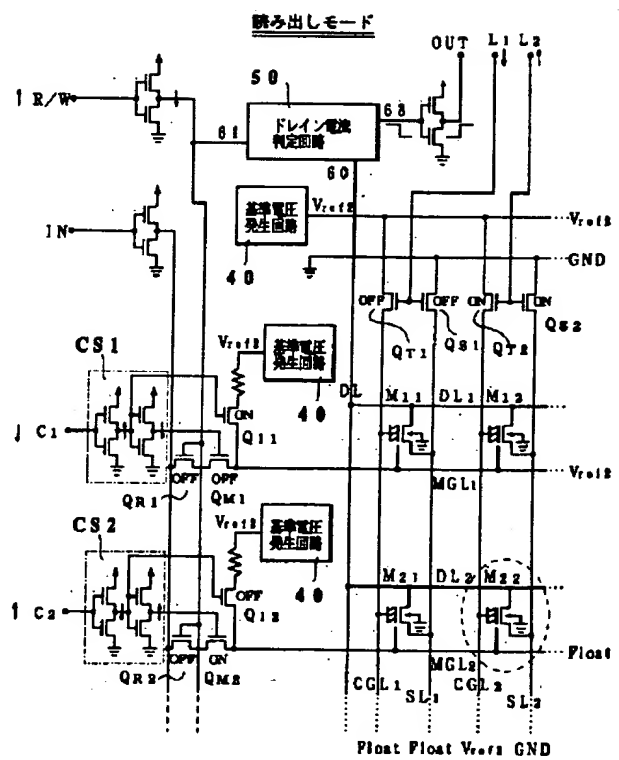
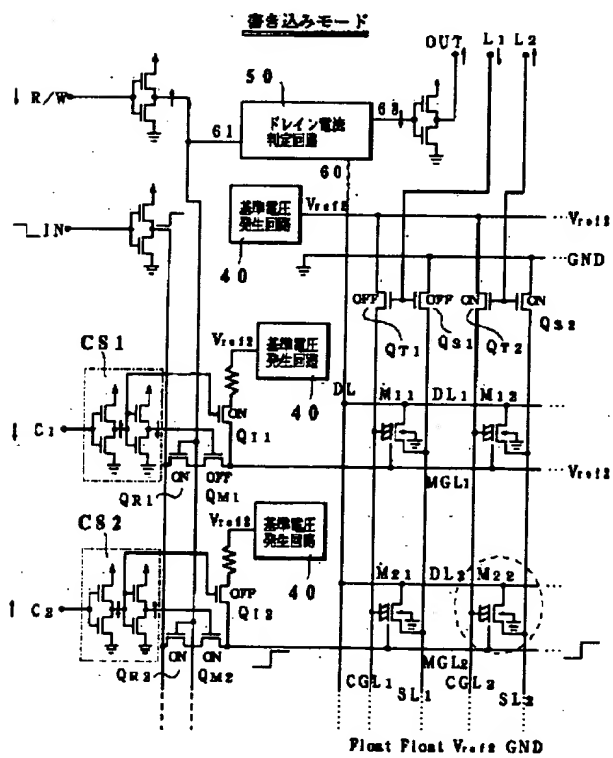


フレイン電流判定回路

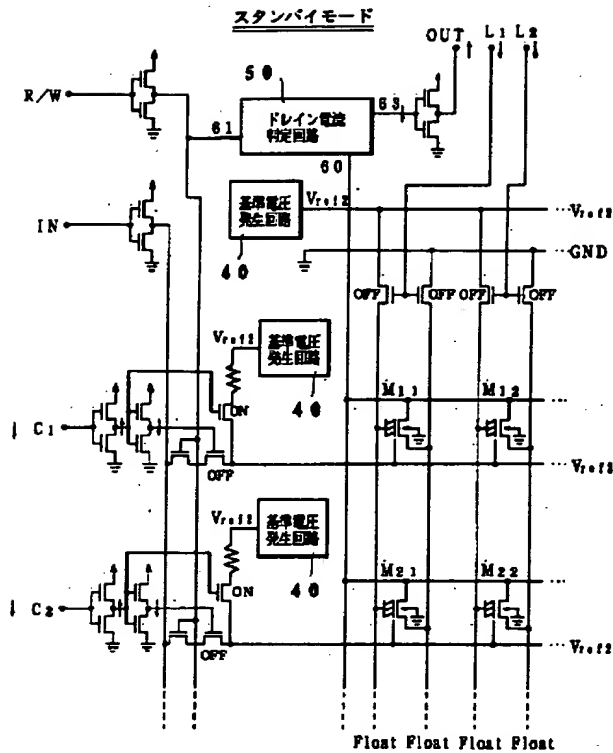
電流発生回路



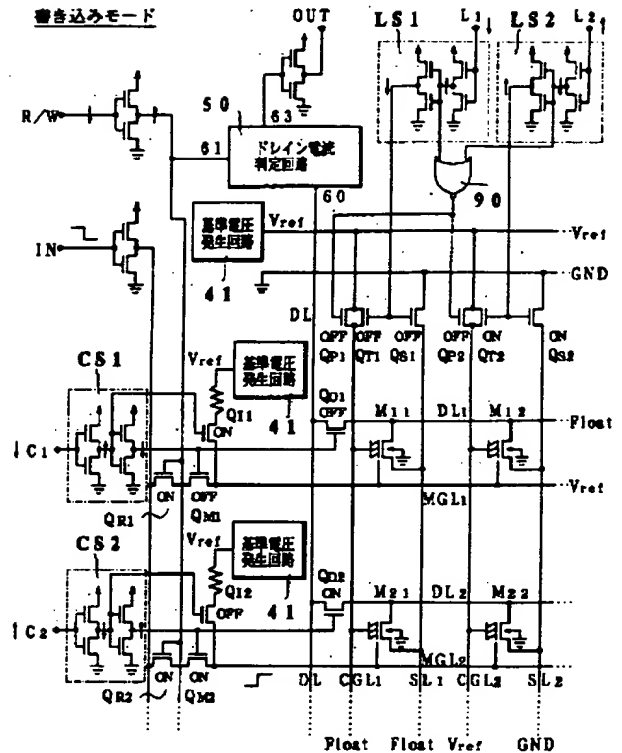
【図 11】



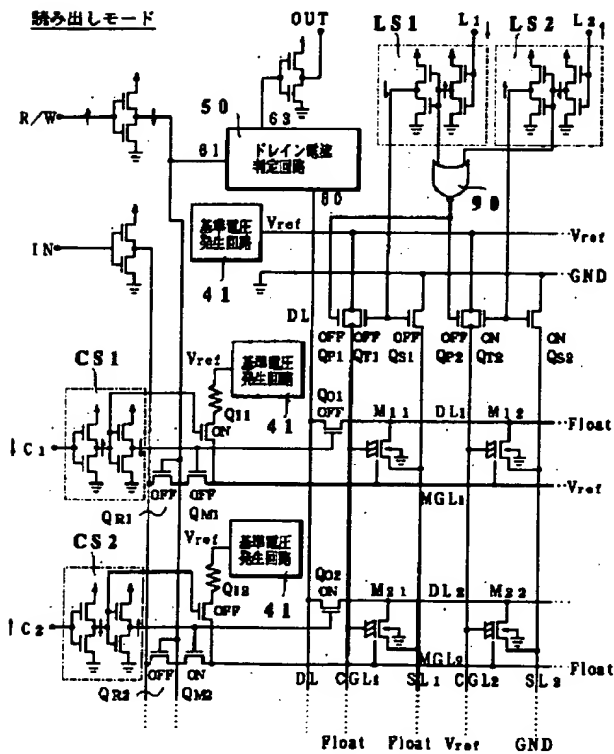
【図12】



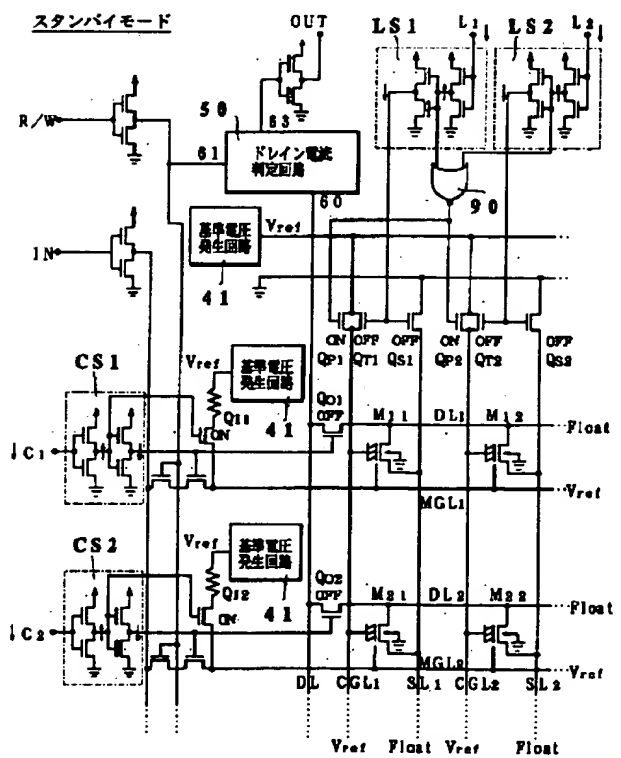
【図14】



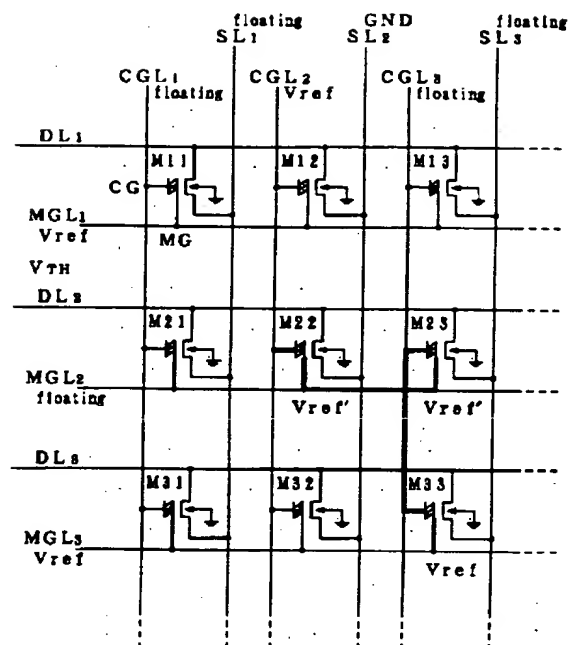
【図15】



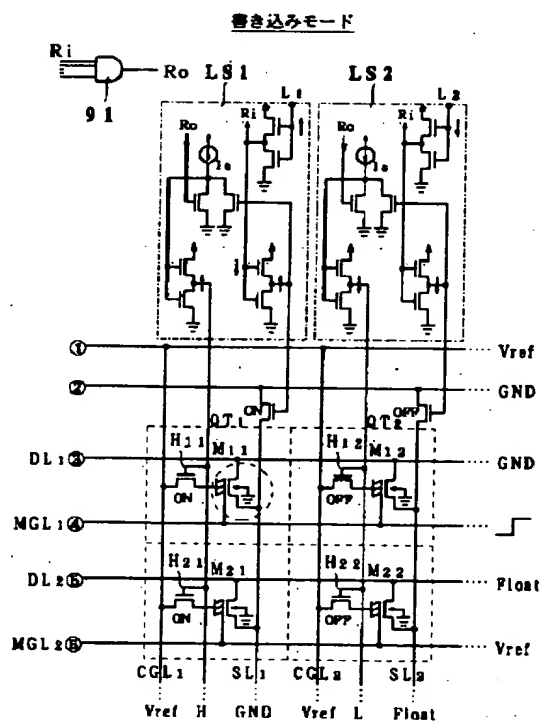
【図16】



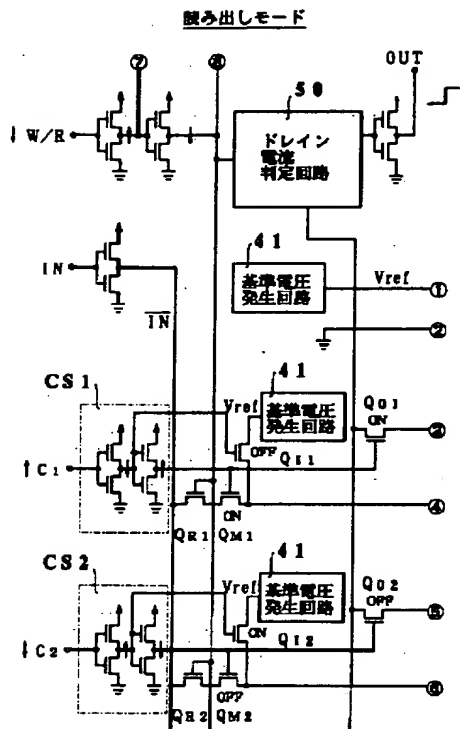
【図18】



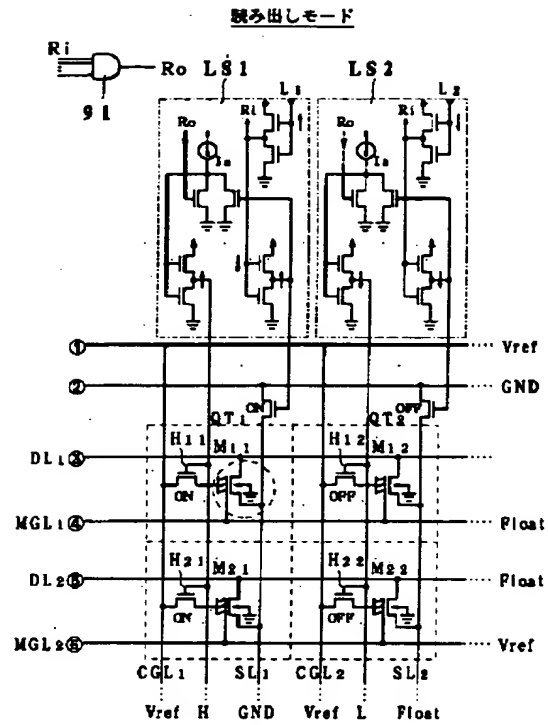
【图 20】



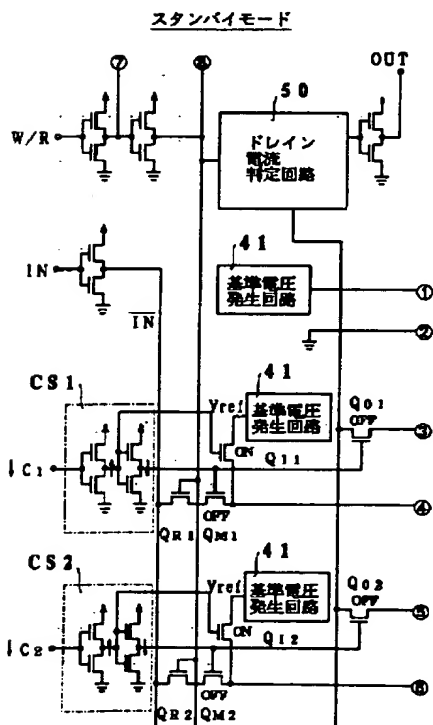
【図21】



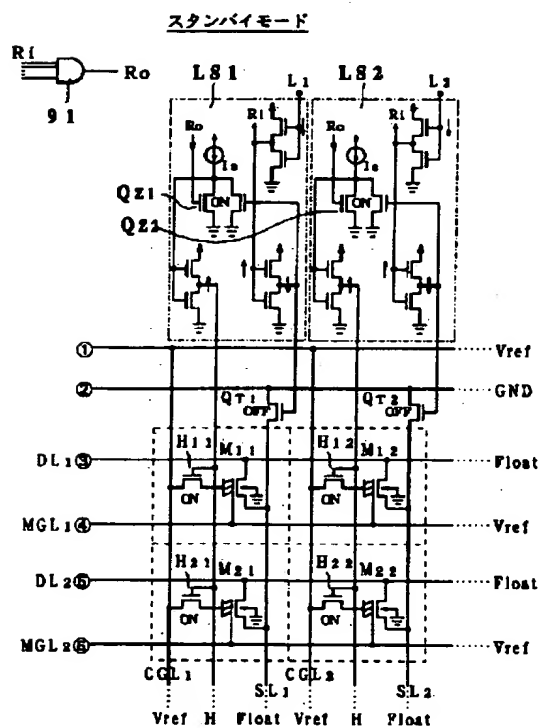
【図22】



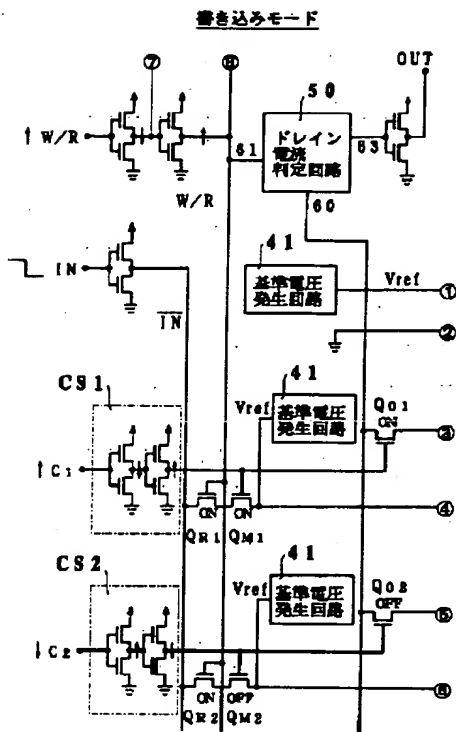
【図23】



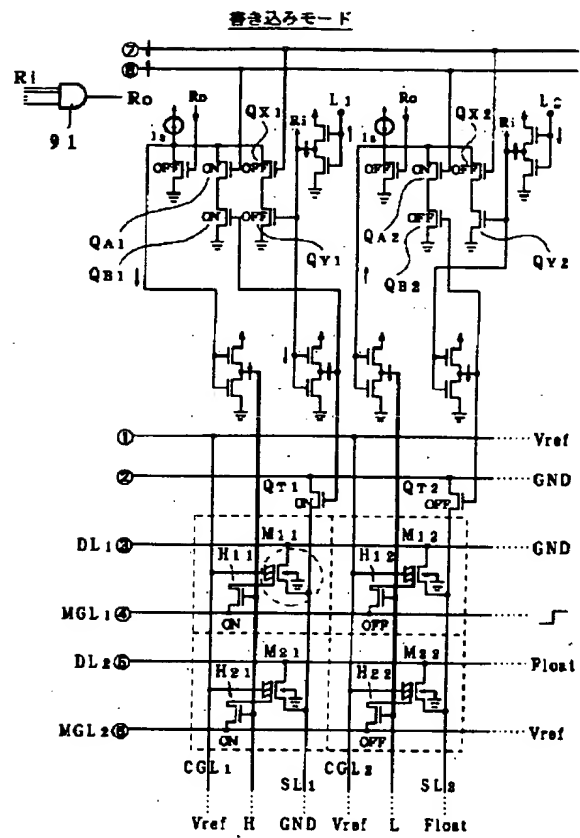
【図24】



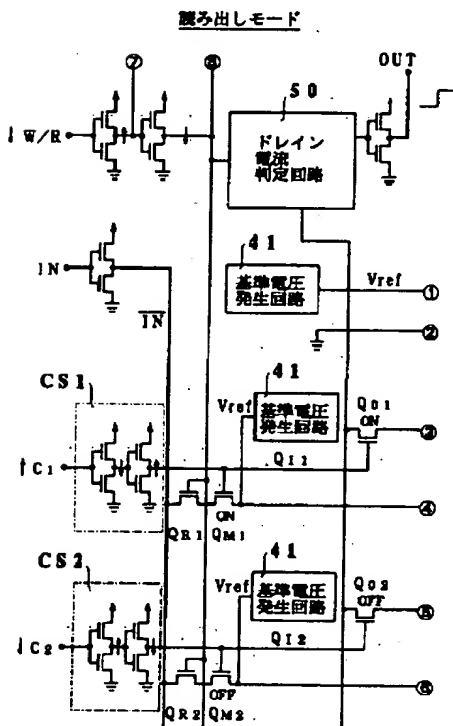
【図25】



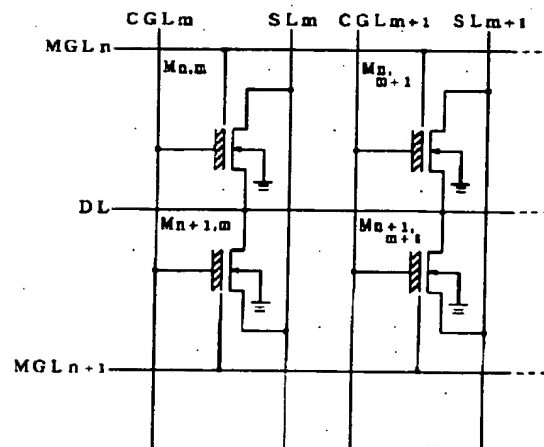
【図26】



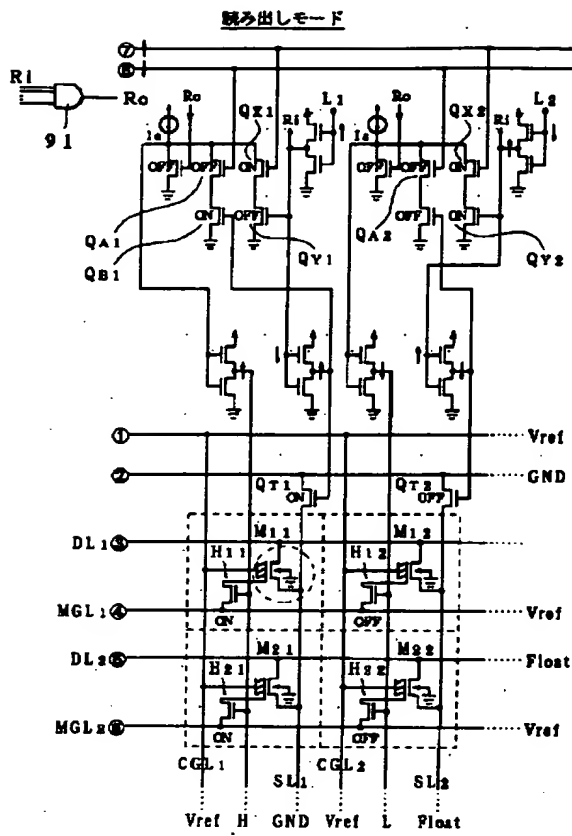
【図27】



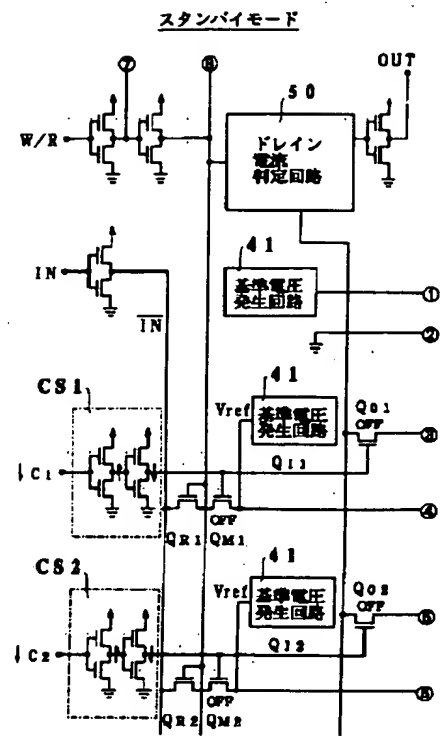
【図31】



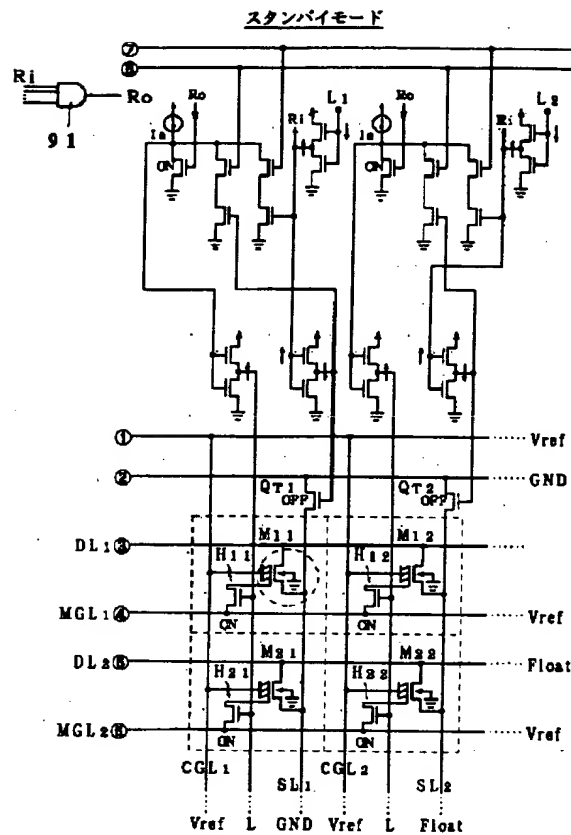
【図28】



【図29】



【図30】



フロントページの続き

(51)Int. Cl.⁶

G11C 16/02

H01L 21/8247

29/788

29/792

識別記号

庁内整理番号

F I

技術表示箇所

H01L 29/78

371

(72)発明者 淵上 貴昭

京都府京都市右京区西院溝崎町21番地

一ム株式会社内

(72)発明者 上野山 博巳

京都府京都市右京区西院溝崎町21番地

一ム株式会社内